

PAT-NO: JP409219420A  
DOCUMENT-IDENTIFIER: JP 09219420 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: August 19, 1997

INVENTOR-INFORMATION:

NAME  
MATSUMAGA, HAYASHI  
IWATA, MASAO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP08026387

APPL-DATE: February 14, 1996

INT-CL (IPC): H01L021/60, H01L023/50

ABSTRACT:

PROBLEM TO BE SOLVED: To make it possible to make low a lead inductance in a semiconductor device and to obtain a large capacitance by a method wherein the first terminal of a second planar conductor and a ground terminal are connected with each other.

SOLUTION: A first terminal 31-1 of a second planar conductor 31 and a ground terminal 29 are connected with each other via a wiring pattern 35 and bonding pads 26-1 for signal input/output use on an IC die 26 are connected with signal input/output terminals 27 through a wiring pattern 35 which is provided on a substrate 25. A dielectric material 32 is held between planar conductors 30 and 31, is superposed on the conductor 31 to constitute a capacitor

and at the same time, a power current is made to flow through the conductor 30 going through a first terminal 30-1 of a first planar conductor from a power terminal 28. A return current is made to flow through the conductor 31 going through a second terminal 31-2 of the conductor 31 from a bonding pad 26-3 for grounding use of the die 26. Moreover, as the return current is made to flow to the terminal 29 via the terminal 31-1 of the conductor 31, the capacitor provides a distributed capacitance to a current path and noise can be passed in a wide band.

COPYRIGHT: (C)1997, JPO

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-219420

(43)公開日 平成9年(1997)8月19日

(51) Int.Cl. <sup>6</sup> H 01 L 21/60 23/50	識別記号 3 1 1	序内整理番号 F I H 01 L 21/60 23/50	技術表示箇所 3 1 1 S P
--	---------------	--	------------------------

審査請求 未請求 請求項の数14 O.L (全 10 頁)

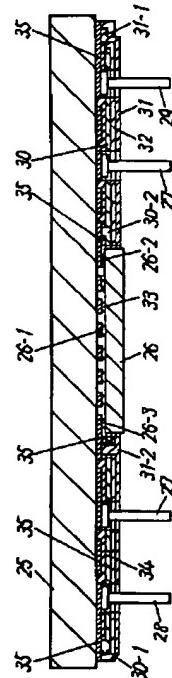
(21)出願番号 特願平8-26387	(71)出願人 000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22)出願日 平成8年(1996)2月14日	(72)発明者 松永 速 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(72)発明者 岩田 雅男 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
	(74)代理人 弁理士 滝本 智之 (外1名)

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 コンデンサを搭載する半導体装置において、リードインダクタンスを低くして大きい静電容量が得られ、広帯域でノイズを吸収することができる半導体装置を提供することを目的とする。

【解決手段】 ICダイ26が実装された基板25上に面状導電体30, 31で誘電体32を挟んで形成したコンデンサを構成し、このコンデンサの一方の面状導電体を電源端子およびICダイの電源用ポンディングパッドに接続し、コンデンサの他方の面状導電体を接地端子およびICダイの接地用ポンディングパッドに接続し、上記面状導電体を電流バスとした。



1

2

## 【特許請求の範囲】

【請求項1】 複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子とを有する基板と、この基板に面実装され、上記基板に設けた配線パターンに夫々接続された複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有する少なくとも一つのICダイと、第一と第二の面状導電体で誘電体を挟んで形成され上記基板に配設されたコンデンサを備え、前記第一と第二の面状導電体は面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を設け、前記電源端子と前記第一の面状導電体の第一の端子を接続し、この第一の面状導電体の第二の端子と前記ICダイの各電源用ボンディングパッドを接続し、前記ICダイの各接地用ボンディングパッドと前記第二の面状導電体の第二の端子を接続し、この第二の面状導電体の第一の端子と前記接地端子を接続した半導体装置。

【請求項2】 基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面上に面実装され、上記基板に設けた配設パターンに夫々ボンディングパッドが接続された少なくとも一つのICダイと、該基板の他方の面上に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、該端子とスルーホールを除く上記基板の空き領域に配設され、第一と第二の面状導電体で誘電体を挟んで形成したコンデンサを備え、第一と第二の面状導電体は面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を設け、該基板に設けた電源端子は第一の面状導電体の第一の端子と接続し、第一の面状導電体の第二の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの電源用ボンディングパッドに接続する配線パターンを接続し、該基板に設けた接地端子は第二の面状導電体の第一の端子と接続し、第二の面状導電体の第二の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの接地用ボンディングパッドに接続する配線パターンを接続した半導体装置。

【請求項3】 基板両面を導通する複数のスルーホールとを備えた基板と、該基板の一方の面上に前記スルーホールを除く空き領域に第一と第二の面状導電体で誘電体を挟んで形成され、第一と第二の面状導電体の面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を設けたコンデンサと、該基板の他方の面上に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、上記基板の他方の面上に実装され、上記基板の他方の面上に形成した配線パターンに接続された少なくとも一つのICダイを備え、該基板に設けた電源端子は前記基板に設けたスルーホールを介して前記コンデンサの第一の面状導電体の第

一の端子と接続し、第一の面状導電体の第二の端子は前記基板に設けた他のスルーホールを介して前記ICダイの電源用ボンディングパッドに接続する配線パターンと接続し、該基板に設けた接地端子は前記基板に設けたスルーホールを介して前記コンデンサの第二の面状導電体の第一の端子と接続し、第二の面状導電体の第二の端子は前記基板に設けた他のスルーホールを介して前記ICダイの接地用ボンディングパッドに接続する配線パターンと接続した半導体装置。

10 【請求項4】 基板に設けた信号入出力端子と電源端子と接地端子の夫々を球形状で、格子状に配置したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項5】 基板に設けた信号入出力端子と電源端子と接地端子の夫々をピン形状で、格子状に配置したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

20 【請求項6】 コンデンサは、基板に印刷により形成したことを特徴とする請求項1～3のいずれかに記載の半導体装置。

【請求項7】 基板と、この基板上に配設され、面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を有する第一と第二の面状導電体で誘電体を挟んで形成したコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と少なくとも一つの第一の電源端子と少なくとも一つの第一の接地端子と少なくとも一つの第二の電源端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の電源端子と少なくとも一つの第三の接地端子とを有し、複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有するICダイを少なくとも一つのキャリアフィルムに実装したTABパッケージを備え、該キャリアフィルムに設けた第一の電源端子は第二の電源端子と接続し、第二の電源端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の電源端子と接続し、第三の電源端子は前記ICダイの電源用ボンディングパッドに接続し、該キ

40 ャリアフィルムに設けた第一の接地端子は第二の接地端子と接続し、第二の接地端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の接地端子と接続し、第三の接地端子は前記ICダイの接地用ボンディングパッドに接続し、該キャリアフィルムに設けた第一の信号入出力端子は第二の信号入出力端子と接続し、第二の信号入出力端子は前記ICダイの信号入出力用ボンディングパッドに接続した半導体装置。

【請求項8】 第一の信号入出力端子と第一の電源端子と第二の接地端子の夫々を板形状にした請求項7記載の

半導体装置。

【請求項9】 第一の信号入出力端子と第一の電源端子と第一の接地端子の夫々を球形状で、格子状に配置した請求項7記載の半導体装置。

【請求項10】 第一の信号入出力端子と第一の電源端子と第一の接地端子の夫々をピン形状で、格子状に配置した請求項7記載の半導体装置。

【請求項11】 補強板により補強された基板と、この基板上に配設され、面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を有する第一と第二の面状導電体で誘電体を挟んで形成したコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と少なくとも一つの第一の電源端子と少なくとも一つの第一の接地端子と少なくとも一つの第二の電源端子と少なくとも一つの第三の電源端子と少なくとも一つの第三の接地端子とを有し、複数の信号入出力用ポンディングパッドと少なくとも一つの電源用ポンディングパッドと少なくとも一つの接地用ポンディングパッドを有するICダイを少なくとも一つのキャリアフィルムに実装したTABパッケージを備え、該キャリアフィルムに設けた第一の電源端子は第二の電源端子と接続し、第二の電源端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の電源端子と接続し、第三の電源端子は前記ICダイの電源用ポンディングパッドに接続し、該キャリアフィルムに設けた第一の接地端子は第二の接地端子と接続し、第二の接地端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の接地端子と接続し、第三の接地端子は前記ICダイの接用地用ポンディングパッドに接続し、該キャリアフィルムに設けた第一の信号入出力端子は第二の信号入出力端子と接続し、第二の信号入出力端子は前記ICダイの信号入出力用ポンディングパッドに接続し、前記補強板と前記TABパッケージで前記コンデンサを挟んで配置した半導体装置。

【請求項12】 補強板を金属にした請求項11に記載の半導体装置。

【請求項13】 補強板をアルミニウムにするとともに、該アルミニウムの表面をアルマイト処理した請求項11に記載の半導体装置。

【請求項14】 コンデンサを補強板に印刷により形成した請求項11に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高速動作をするマイクロプロセッサ等のコンデンサを内蔵した半導体装置に関するものである。

【0002】

【従来の技術】図6は従来の高速マイクロプロセッサ用ピングリッドアレイ形セラミックパッケージの斜視図である。図6において、1は端子であり、2は端子1を格子状に配したパッケージベースであり、3は面実装型の積層セラミックコンデンサ(以降、チップコンデンサと呼ぶ)であり、4は放熱器である。図6には図示されないが、マイクロプロセッサのダイはパッケージベース2に内蔵され、格子状に配置された端子1に接続されており、動作時の発熱を放熱器4によって冷却している。

10 【0003】パッケージベース2に実装したチップコンデンサ3の両極の端子はマイクロプロセッサの少なくとも一つの電源端子と接地端子に夫々接続されるとともに端子1にも接続されている。

【0004】図7は、特開昭63-239970号公報に記載のICダイ上にコンデンサを形成した半導体装置の断面図である。図7において、5はICのダイであり、6はICの回路形成面であり、7はダイ内部の電源配線であり、8はダイ内部の接地配線である。9, 10はポリイミド系樹脂膜であり、11, 12, 13はスルーホールであり、14, 15は電極金属層であり、16は金属層であり、17, 18, 19は接続部である。電極金属層14, 15をポリイミド系樹脂膜10を介して対向させたコンデンサをポリイミド系樹脂膜9を介してICの回路形成面6の上に形成したもので、電極金属層14は接続部17を介して内部の電源配線7に、電極金属層15は接続部18, 19を介してダイ内部の接地配線8に夫々接続した集中定数形のコンデンサである。

【0005】

【発明が解決しようとする課題】コンピュータを高速化するには、通常、バスクロックを高速化するとともにマイクロプロセッサの内部クロック周波数を高くする。この場合、マイクロプロセッサの消費電力が増加し、マイクロプロセッサが過熱するだけでなく高速化したバスクロックと緩急動作による負荷変動により、高周波ノイズが電源電圧に重畠してマイクロプロセッサを誤動作させるという問題を有していた。

【0006】図6、図7に示す従来の集中定数形のバイパスコンデンサを使用した回路の場合、コンデンサは容量が小さく、コンデンサの端子は面実装用の半田付け用40電極でリードインダクタンスは微少であり、また高周波ノイズによる高周波リップルを吸収する微少振幅電流が流れるだけである。したがって、緩急なマイクロプロセッサの負荷変動に対しては、低い等価直列抵抗のコンデンサを数種類用意し、電源端子、接地端子近傍に配置接続し、その放電電流によって負荷変動を緩衝しなければならない。

【0007】図6の従来の高速マイクロプロセッサ用ピングリッドアレイ形セラミックパッケージの場合、多数の集中定数形のバイパスコンデンサをダイに設けられた50多数の電極端子パッドと接地端子パッドに接続して高周

波ノイズによる高周波リップルを吸収する用途に供される。

【0008】このように従来のコンデンサを構成した半導体装置では、緩急なマイクロプロセッサの負荷変動に対しては、更に多種類の集中定数形のバイパスコンデンサを並列接続しなければならず大面積のパッケージベースを用意するか、パッケージの外に実装しなければならない。この場合、配線インピーダンスが増加し負荷変動の緩衝効果が減ずるとともに煩雑な実装工数がかかる問題があった。

【0009】本発明はこのような従来の問題を解決するものであり、リードインダクタンスを低くでき、大きい静電容量が得られ、広帯域のノイズを吸収することができる半導体装置を提供することを目的とする。

#### 【0010】

【課題を解決するための手段】上記の課題を解決するため、本発明の半導体装置は、ICダイが実装された基板にコンデンサを設け、このコンデンサ電極の一方をダイの電源端子と接地端子の間を接続する配線とし、コンデンサ電極の他方をダイの接地端子と接地端子の間を接続する配線とし、電源電流は装置の電源端子からコンデンサ電極の一方を経由してダイの電源端子へ流入させ、ダイの接地端子からコンデンサ電極の他方を経由して装置の接地端子へ流出するようにしたものである。従って、該コンデンサは幅広い電極を接続配線とするのでダイ迄のリードインダクタンスを低くできるとともに幅広い電極で大容量化でき、電流バスに対して分布容量を配した構成にできる。

【0011】この構成により、分布した小容量領域から積算した大容量領域で広帯域のノイズを吸収できるものである。

#### 【0012】

【発明の実施の形態】本発明の請求項1に記載の発明は、複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子とを有する基板と、この基板に面実装され、上記基板に設けた配線パターンに夫々接続された複数の信号入出力用ボンディングパッドと少なくとも一つの電源用ボンディングパッドと少なくとも一つの接地用ボンディングパッドを有する少なくとも一つのICダイと、第一と第二の面状導電体で誘電体を挟んで形成され上記基板に配設されたコンデンサを備え、前記第一と第二の面状導電体は面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を設け、前記電源端子と前記第一の面状導電体の第一の端子を接続し、この第一の面状導電体の第二の端子と前記ICダイの各電源用ボンディングパッドを接続し、前記ICダイの各接地用ボンディングパッドと前記第二の面状導電体の第二の端子を接続し、この第二の面状導電体の第一の端子と前記接地端子を接続した半導体装置であり、誘電体を面状導電体で挟んで重ね合わせる

ことでコンデンサを構成し、電源電流を電源端子から第一の面状導電体の第一の端子を経由して面状導電体に流し、更に第一の面状導電体の第二の端子を経由してICダイの電源用ボンディングパッドへ流すとともに、リターン電流をICダイの接地用ボンディングパッドから第二の面状導電体の第二の端子を経由して面状導電体に流し、更に第二の面状導電体の第一の端子を経由して接地端子へ流すようにした電流バスに対して分布容量を配するコンデンサとして機能させることができる。もって、

10 電源電圧に重畠する広帯域ノイズの高周波成分は電源端子付近の低容量域で、中低周波成分は電源端子からICダイ近傍の大容量域でバイパスさせるという作用を有する。

【0013】本発明の請求項2に記載の発明は、基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面に面実装され、上記基板に設けた配線パターンに夫々ボンディングパッドが接続された少なくとも一つのICダイと、該基板の他方の面に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも

20 一つの接地端子と、該端子とスルーホールを除く上記基板の空き領域に配設され、第一と第二の面状導電体で誘電体を挟んで形成したコンデンサを備え、第一と第二の面状導電体は面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を設け、該基板に設けた電源端子は第一の面状導電体の第一の端子と接続し、第一の面状導電体の第二の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの電源用ボンディングパッドに接続する配線パターンを接続し、該基板に設けた接地端子は第二の面状導

30 電体の第一の端子と接続し、第二の面状導電体の第二の端子と前記基板に設けたスルーホールを接続し、該スルーホールと前記ICダイの接地用ボンディングパッドに接続する配線パターンを接続した半導体装置であり、請求項1よりも広帯域でノイズ吸収させるという作用をする。

【0014】本発明の請求項3に記載の発明は、基板両面を導通する複数のスルーホールを備えた基板と、該基板の一方の面に前記スルーホールを除く空き領域に第一と第二の面状導電体で誘電体を挟んで形成され、第一と40 第二の面状導電体の面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を設けたコンデンサと、該基板の他方の面に設けた複数の信号入出力端子と少なくとも一つの電源端子と少なくとも一つの接地端子と、上記基板の他方の面に実装され、上記基板の他方の面に形成した配線パターンに接続された少なくとも一つのICダイを備え、該基板に設けた電源端子は前記基板に設けたスルーホールを介して前記コンデンサの第一の面状導電体の第一の端子と接続し、第一の面状導電体の第二の端子は前記基板に設けた他のスルーホールを介して前記ICダイの電源用ボンディングパ

ップに接続する配線パターンと接続し、該基板に設けた接地端子は前記基板に設けたスルーホールを介して前記コンデンサの第二の面状導電体の第一の端子と接続し、第二の面状導電体の第二の端子は前記基板に設けた他のスルーホールを介して前記ICダイの接地用ポンディングパッドに接続する配線パターンと接続した半導体装置であり、請求項2よりも広帯域でノイズ吸収させるという作用をする。

【0015】本発明の請求項4に記載の発明は、請求項1～3のいずれかに記載の半導体装置において、基板に設けた信号入出力端子と電源端子と接地端子は、夫々球形状で、格子状に配置したものであり、面実装を可能にするという作用を有する。

【0016】本発明の請求項5に記載の発明は、請求項1～3のいずれかに記載の半導体装置において、基板に設けた信号入出力端子と電源端子と接地端子は、夫々ピン形状で、格子状に配置したものであり、ソケット実装を可能にするという作用を有する。

【0017】本発明の請求項6に記載の発明は、請求項1～3のいずれかに記載の半導体装置において、コンデンサは、基板に印刷で形成したものであり、生産効率に優れるという作用を有する。

【0018】本発明の請求項7に記載の発明は、基板と、この基板上に配設され、面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を有する第一と第二の面状導電体で誘電体を挟んで形成したコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と少なくとも一つの第一の電源端子と少なくとも一つの第一の接地端子と少なくとも一つの第二の電源端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の電源端子と少なくとも一つの第三の接地端子とを有し、複数の信号入出力用ポンディングパッドと少なくとも一つの電源用ポンディングパッドと少なくとも一つの接地用ポンディングパッドを有するICダイを少なくとも一つのキャリアフィルムに実装したTABパッケージを備え、該キャリアフィルムに設けた第一の電源端子は第二の電源端子と接続し、第二の電源端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の電源端子と接続し、第三の電源端子は前記ICダイの電源用ポンディングパッドに接続し、該キャリアフィルムに設けた第一の接地端子は第二の接地端子と接続し、第二の接地端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の接地端子と接続し、第三の接地端子は前記ICダイの接地用ポンディングパッドに接続し、該キャリアフィルムに設けた第一の信号入出力端子は第二の信号入出力端子と接続し、第二の信号入出力端子は前記ICダイの信号入出力用ポンディングパッドに接続し、補強板と前記TABパッケージで前記コンデンサを挟んで配置したものであり、形状が安定化するという作用を有する。

【0019】本発明の請求項8に記載の発明は、請求項7記載の半導体装置において、第一の信号入出力端子と第一の電源端子と第二の接地端子は、夫々板形状したものであり、面実装を可能にするという作用を有する。

【0020】本発明の請求項9に記載の発明は、請求項7記載の半導体装置において、第一の信号入出力端子と第一の電源端子と第一の接地端子は、夫々球形状で、格子状に配置したものであり、小形面実装を可能にするという作用を有する。

【0021】本発明の請求項10に記載の発明は、請求項7記載の半導体装置において、第一の信号入出力端子と第一の電源端子と第一の接地端子は、夫々をピン形状で、格子状に配置したものであり、ソケット実装を可能にするという作用を有する。

【0022】本発明の請求項11に記載の発明は、補強板により補強された基板と、この基板上に配設され、面状の一端に少なくとも一つの第一の端子と面状の他端に少なくとも一つの第二の端子を有する第一と第二の面状導電体で誘電体を挟んで形成したコンデンサと、このコンデンサ上に重ねて配置され、複数の第一の信号入出力端子と複数の第二の信号入出力端子と少なくとも一つの第一の電源端子と少なくとも一つの第一の接地端子と少なくとも一つの第二の電源端子と少なくとも一つの第二の接地端子と少なくとも一つの第三の電源端子と少なくとも一つの第三の接地端子とを有し、複数の信号入出力用ポンディングパッドと少なくとも一つの電源用ポンディングパッドと少なくとも一つの接地用ポンディングパッドを有するICダイを少なくとも一つのキャリアフィルムに実装したTABパッケージを備え、該キャリアフィルムに設けた第一の電源端子は第二の電源端子と接続し、第二の電源端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の電源端子と接続し、第三の電源端子は前記ICダイの電源用ポンディングパッドに接続し、該キャリアフィルムに設けた第一の接地端子は第二の接地端子と接続し、第二の接地端子は前記第二の面状導電体の第一の端子と接続し、該第二の面状導電体の第二の端子はキャリアフィルムの第三の接地端子と接続し、第三の接地端子は前記ICダイの接地用ポンディングパッドに接続し、該キャリアフィルムに設けた第一の信号入出力端子は第二の信号入出力端子と接続し、第二の信号入出力端子は前記ICダイの信号入出力用ポンディングパッドに接続し、補強板と前記TABパッケージで前記コンデンサを挟んで配置したものであり、形状が安定化するという作用を有する。

【0023】本発明の請求項12に記載の発明は、請求項11に記載の半導体装置において、補強板を金属にしたものであり、放熱性に優れるという作用を有する。

【0024】本発明の請求項13に記載の発明は、請求

50

項11に記載の半導体装置において、補強板をアルミニウムにするとともに、該アルミニウムの表面をアルマイト処理したものであり、放熱性に優れるという作用を有する。

【0025】本発明の請求項14に記載の発明は、請求項11に記載の半導体装置において、コンデンサを補強板に印刷して形成したものであり、生産効率に優れるという作用を有する。

【0026】図1は本発明の第1の実施形態によるピングリッドアレイ形パッケージの断面図である。図1において、25は基板であり、26はICダイであり、27は信号入出力端子（本実施形態では便宜上、信号入力端子、信号出力端子、信号入出力端子を含めて信号入出力端子と呼ぶ）であり、28は電源端子であり、29は接地端子であり、夫々端子27、28、29はピン形状をしている。30は第一の面状導電体であり、31は第二の面状導電体であり、32は誘電体であり、コンデンサを構成している。33はバンプであり、34は絶縁層であり、35は配線パターンである。ICダイ26は多数の信号入出力用ボンディングパッド26-1と、少なくとも一つの電源用ボンディングパッド26-2と、少なくとも一つの接地用ボンディングパッド26-3を備え、図1では各ボンディングパッドにバンプ33が形成された上で基板25にフェースダウンボンディングされている。

【0027】第一の面状導電体30と第二の面状導電体31で誘電体32を挟んでコンデンサを形成しており、基板25のICダイ26の実装面に形成した配線パターン35を覆って形成した絶縁層34上に形成されている。

【0028】第一の面状導電体30は面状の一端に少なくとも一つの第一の端子30-1と面状の他端に少なくとも一つの第二の端子30-2を備え、第二の面状導電体31は面状の一端に少なくとも一つの第一の端子31-1と面状の他端に少なくとも一つの第二の端子31-2を備えており、電源端子28と第一の面状導電体30の第一の端子30-1を、第一の面状導電体の第二の端子30-2と前記ICダイ26の各電源用ボンディングパッド26-2を、ICダイ26の各接地用ボンディングパッド26-3と第二の面状導電体31の第二の端子31-2を、第二の面状導電体31の第一の端子31-1と前記接地端子29を夫々配線パターン35を介して接続し、ICダイ26の信号入出力用ボンディングパッド26-1は信号入出力端子27に基板25に設けられた配線パターン35により接続されている。

【0029】このように誘電体32を面状導電体30、31で挟んで重ね合わせたコンデンサを構成するとともに、電源電流は電源端子28から第一の面状導電体の第一の端子30-1を経由して面状導電体30を流れ、更に第一の面状導電体の第二の端子30-2を経由してI

Cダイの電源用ボンディングパッド26-2へ流れる。【0030】リターン電流はICダイの接地用ボンディングパッド26-3から第二の面状導電体の第二の端子31-2を経由して面状導電体31を流れ、更に第二の面状導電体の第一の端子31-1を経由して接地端子29へ流れるので、該コンデンサを電流バスに対して分布容量を配するものである。

【0031】従って、電源電圧に重畠する広帯域ノイズの高周波成分は電源端子近傍の低容量域で、中低周波成分は電源端子からICダイ近傍の大容量域でバイパスができる。

【0032】図2は本発明の第2の実施形態によるピングリッドアレイ形パッケージの断面図である。図2において、25は基板であり、26はICダイであり、27は信号入出力端子であり、28は電源端子であり、29は接地端子であり、端子27、28、29はピン形状をしている。30は第一の面状導電体であり、31は第二の面状導電体であり、32は誘電体であり、コンデンサを構成している。33はバンプであり、34は絶縁層であり、35は配線パターンである。ICダイ26は多数の信号入出力用ボンディングパッド26-1と、少なくとも一つの電源用ボンディングパッド26-2と、少なくとも一つの接地用ボンディングパッド26-3を備え、図2では各ボンディングパッドにバンプ33が形成された上で基板25にフェースダウンボンディングされている。

【0033】ICダイ26は多数の信号入出力用ボンディングパッド26-1と、少なくとも一つの電源用ボンディングパッド26-2と、少なくとも一つの接地用ボンディングパッド26-3を備え、図2では各ボンディングパッドにバンプ33が形成された上で基板25にフェースダウンボンディングされている。

【0034】第一の面状導電体30と第二の面状導電体31で誘電体32を挟んでコンデンサを形成しており、基板25に形成した配線パターン35とICダイ26を実装した面の裏面に形成している。

【0035】第一の面状導電体30は面状の一端に少なくとも一つの第一の端子30-1と面状の他端に少なくとも一つの第二の端子30-2を備え、第二の面状導電体31は面状の一端に少なくとも一つの第一の端子31-1と面状の他端に少なくとも一つの第二の端子31-2を備えており、電源端子28と第一の面状導電体30の第一の端子30-1はスルーホール36-1と配線パターン35を介して接続し、第一の面状導電体の第二の端子30-2と前記ICダイ26の各電源用ボンディングパッド26-2はスルーホール36-2と配線パターン35を介して接続し、ICダイ26の各接地用ボンディングパッド26-3と第二の面状導電体31の第二の端子31-2はスルーホール36-4と配線パターン35を介して接続し、第二の面状導電体31の第一の端子31-1と前記接地端子29はスルーホール36-3と配線パターン35を介して接続し、ICダイ26の信号入出力用ボンディングパッド26-1は信号入出力端子27に基板25に設けられた配線パターン35により接続されている。

【0036】このように図1と同様に誘電体32を面状

11

導電体30, 31を挟んで重ね合わせたコンデンサを構成するとともに、電源電流は電源端子28から第一の面状導電体の第一の端子30-1を経由して面状導電体30を流れ、更に第一の面状導電体の第二の端子30-2を経由してICダイの電源用ポンディングパッド26-2へ流れる。

【0037】第一の実施形態との差異は、ICダイ26、端子取り付け面の基板の裏面に該コンデンサを形成することで大きな静電容量が得られ、より広帯域のノイズを吸収することが出来るものである。

【0038】図3は本発明の第3の実施の形態によるボールグリッドアレイ形パッケージの断面図である。図3において、25は基板であり、26はICダイであり、27は信号入出力端子であり、28は電源端子であり、29は接地端子であり、夫々端子27, 28, 29は球形状をしている。30は第一の面状誘電体であり、31は第二の面状導電体であり、32は誘電体であり、コンデンサを構成する。33はバンプであり、35は配線パターンであり、36はスルーホールである。

【0039】ICダイ26は多数の信号入出力用ポンディングパッド26-1と、少なくとも一つの電源用ポンディングパッド26-2と、少なくとも一つの接地用ポンディングパッド26-3を備え、図3では各ポンディングパッドにバンプ33が形成された上で基板25にフェースダウンポンディングされている。

【0040】第一の面状導電体30と第二の面状導電体31で誘電体32を挟んでコンデンサを形成しており、基板25に形成した配線パターン35とICダイ26を実装した面の裏面に形成している。

【0041】第一の面状導電体30は面状の一端に少なくとも一つの第一の端子30-1と面状の他端に少なくとも一つの第二の端子30-2を備え、第二の面状導電体31は面状の一端に少なくとも一つの第一の端子31-1と面状の他端に少なくとも一つの第二の端子31-2を備えており、電源端子28と第一の面状導電体30の第一の端子30-1を接続し、第一の面状導電体の第二の端子30-2と前記ICダイ26の各電源用ポンディングパッド26-2はスルーホール36-2と配線パターン35を介して接続し、ICダイ26の各接地用ポンディングパッド26-3と第二の面状導電体31の第二の端子31-2はスルーホール36-4と配線パターン35を介して接続し、第二の面状導電体31の第一の端子31-1と前記接地端子29を接続し、ICダイ26の信号入出力用ポンディングパッド26-1は信号入出力端子27に基板25に設けられた配線パターン35とスルーホール36-5を介して接続されている。

【0042】このように図1と同様に誘電体32を面状導電体30, 31で挟んで重ね合わせたコンデンサを構成するとともに、電源電流は電源端子28から第一の面状導電体の第一の端子30-1を経由して面状導電体3

12

0を流れ、更に第一の面状導電体の第二の端子30-2を経由してICダイの電源用ポンディングパッド26-2へ流れる。

【0043】第一の実施形態との差異は、ICダイ26の基板の裏面に該コンデンサを形成することで大きな静電容量が得られ、より広帯域のノイズを吸収することが出来るとともに、球形状の端子を備えたパッケージにより面実装が実現できるものである。

【0044】図4は本発明の第4の実施形態によるボールグリッドアレイ形パッケージの断面図である。図4において、基板25と、この基板25上に配設され、面状の一端に少なくとも一つの第一の端子30-1, 31-1と面状の他端に少なくとも一つの第二の端子30-2, 31-2を備えた第一と第二の面状導電体30, 31で誘電体32を挟んで形成したコンデンサとを有する。そして、複数の第一の信号入出力端子27と複数の第二の信号入出力端子42と少なくとも一つの第一の電源端子28と少なくとも一つの第一の接地端子29と少なくとも一つの第二の電源端子38と少なくとも一つの第二の接地端子39と少なくとも一つの第三の電源端子40と少なくとも一つの第三の接地端子41と少なくとも一つのICダイ26をキャリアフィルム37に設けたTABパッケージをコンデンサの上に重ねて配置し、キャリアフィルム37に設けた第一の電源端子28は第二の電源端子38と接続し、第二の電源端子38は前記第一の面状導電体30の第一の端子30-1と接続し、該第一の面状導電体30の第二の端子30-2とキャリアフィルム37の第三の電源端子40を経由して前記ICダイの電源用ポンディングパッド26-2に接続し、キャリアフィルム37に設けた第一の接地端子29は第二の接地端子39と接続し、第二の接地端子39は前記第二の面状導電体31の第一の端子31-1と接続し、該第二の面状導電体31の第二の端子31-2とキャリアフィルム37の第三の接地端子41を経由して前記ICダイ26の接地用ポンディングパッド26-3に接続し、キャリアフィルム37に設けた第一の信号入出力端子27と少なくとも一つの第二の信号入出力端子42はキャリアフィルム37の配線パターン35で接続し、第二の信号入出力端子42と前記ICダイの信号入出力用ポンディングパッド26-1に接続している。

【0045】図4ではキャリアフィルム37に設けた複数の第一の信号入出力端子27と少なくとも一つの第一の電源端子28と少なくとも一つの第一の接地端子29は、夫々球形状でキャリアフィルム37の該コンデンサを重ね合わせた面と反対の面に格子状に配置して、面実装を可能にしているが、ピン形状にしてコネクタ実装が出来るようにしてもよい。

【0046】前記コンデンサの第一と第二の面状導電体30, 31の第二の端子30-2, 31-2は、第一の端子30-1, 31-1より内側に位置し、キャリアフ

13

イルム37と第二の面状導電体31と誘電体32は第一の面状導電体30の第二の端子30-2を露出する開口部43を備えるとともにキャリアフィルム37は第二の面状導電体31の第二の端子31-2を露出する開口部44を備え、第三の電源端子40と第一の面状導電体30の第二の端子30-2の接続と第三の接地端子41と第二の面状導電体31の第二の端子31-2の接続を可能にしている。

【0047】前記コンデンサは基板25の一方の面に第一の面状導電体30、誘電体32、第二の面状導電体31の順に印刷、スパッタ、蒸着等の工法で形成し、基板25は材厚が数十ミクロン～数ミリメータのポリイミド、エボキシ、フェノール等の樹脂材料を用いた電気的な絶縁性を持つものであり、略1ミリメータ以上の材厚のものはTABパッケージを重疊接続した際の補強板の機能を持つ。

【0048】第二の面状導電体31は、第一の接地端子29に接続しているので、第二の面状導電体31と配線パターン35がキャリアフィルム37を介して対向したマイクロストリップ構造となり、配線パターン35に流す信号の帯域を高周波領域まで広げる事ができる。

【0049】図5は本発明の第5の実施形態によるポールグリッドアレイ形パッケージの断面図である。図5において、補強板45により補強された基板25と、この基板25上に配設され、面状の一端に少なくとも一つの第一の端子30-1、31-1と面状の他端に少なくとも一つの第二の端子30-2、31-2を備えた第一と第二の面状導電体30、31で誘電体32を挟んで形成したコンデンサとを有する。そして、複数の第一の信号入出力端子27と複数の第二の信号入出力端子42と少なくとも一つの第一の電源端子28と少なくとも一つの第一の接地端子29と少なくとも一つの第二の電源端子38と少なくとも一つの第二の接地端子39と少なくとも一つの第三の電源端子40と少なくとも一つの第三の接地端子41と少なくとも一つのICダイ26をキャリアフィルム37に設けたTABパッケージをコンデンサの上に重ねて配置し、キャリアフィルム37に設けた第一の電源端子28は第二の電源端子38と接続し、第二の電源端子38は前記第一の面状導電体30の第一の端子30-1と接続し、該第一の面状導電体30の第二の端子30-2とキャリアフィルム37の第三の電源端子40を経由して前記ICダイの電源用ポンディングパッド26-2に接続し、キャリアフィルム37に設けた第一の接地端子29は第二の接地端子39と接続し、第二の接地端子39は前記第二の面状導電体31の第一の端子31-1と接続し、該第二の面状導電体31の第二の端子31-2とキャリアフィルム37の第三の接地端子41を経由して前記ICダイ26の接地用ポンディングパッド26-3に接続し、キャリアフィルム37に設けた第一の信号入出力端子27と少なくとも一つの第二の

14

信号入出力端子42はキャリアフィルム37の配線パターン35で接続し、第二の信号入出力端子42と前記ICダイの信号入出力用ポンディングパッド26-1に接続し、補強板45と前記TABパッケージで前記コンデンサを挟んで配置したものである。

【0050】本例では、基板25に材厚が略数十ミクロン～数ミクロンのポリイミドフィルムを用い、補強板45はAl、Cu等の金属板を用いて基板25を絶縁層として介在させて、第一の面状導電体30と第二の面状導電体31の第一の端子31-1の金属板を用いた補強板45を介した電気的短絡を防ぐとともにICダイ26の発熱を低い熱抵抗で放熱させるものである。

【0051】基板25は補強板45にポリイミド、エボキシ等の樹脂材料をスピニコート、フローコート、印刷等の工法で形成してもよく、補強板45がAlの場合はアルマイト処理工法で絶縁層を実現する事も出来る。

【0052】尚、前記した実施形態において、一層の誘電体層を二枚の面状導電体で挟んだ単層構造のコンデンサで説明したが、多層構造化することで、より広帯域のノイズ吸収が可能である。

【0053】また、ICダイの実装は、フェースダウンポンディングの例で説明したが、フェースアップポンディングとワイヤーポンディングでも本特許の意図と効果は同じである。

#### 【0054】

【発明の効果】以上のように本発明によれば、集中定数形のコンデンサを多種多数実装することなく広帯域のノイズを吸収できるという有利な効果が得られる。

#### 【図面の簡単な説明】

30 【図1】本発明の第1の実施形態によるピングリッドアレイ形パッケージの断面図

【図2】本発明の第2の実施形態によるピングリッドアレイ形パッケージの断面図

【図3】本発明の第3の実施形態によるポールグリッドアレイ形パッケージの断面図

【図4】本発明の第4の実施形態によるポールグリッドアレイ形パッケージの断面図

【図5】本発明の第5の実施形態による基板に金属板を用いたポールグリッドアレイ形パッケージの断面図

40 【図6】従来の高速マイクロプロセッサ用ピングリッドアレイ形セラミックパッケージの斜視図

【図7】従来のコンデンサを搭載した半導体装置の断面図

#### 【符号の説明】

25 基板

26 ICダイ

26-1 信号入出力用ポンディングパッド

26-2 電源用ポンディングパッド

26-3 接地用ポンディングパッド

27, 42 信号入出力端子

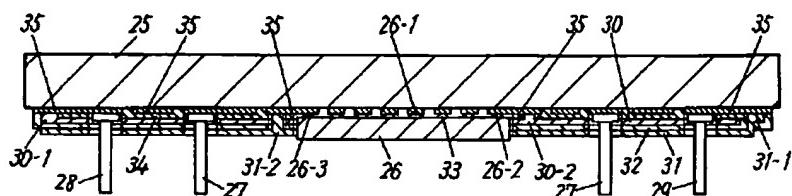
15

28, 38, 40 電源端子  
 29, 39, 41 接地端子  
 30, 31 面状導電体  
 32 誘電体  
 33 バンプ  
 34 絶縁層

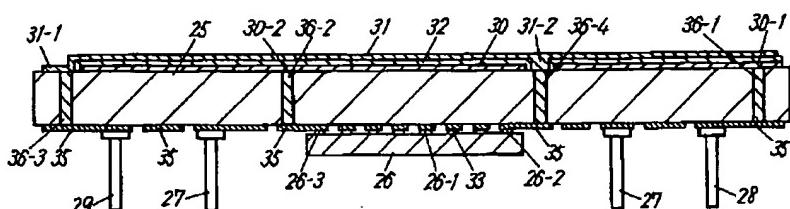
16

35 配線パターン  
 36-1, 36-2, 36-3, 36-4, 36-5  
 スルーホール  
 37 キャリアフィルム  
 43, 44 開口部  
 45 捕縫板

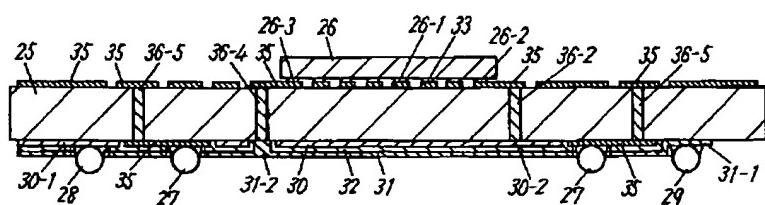
〔四〕



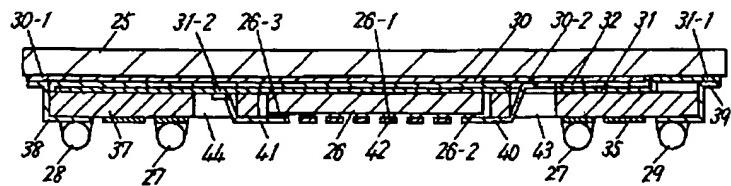
[図2]



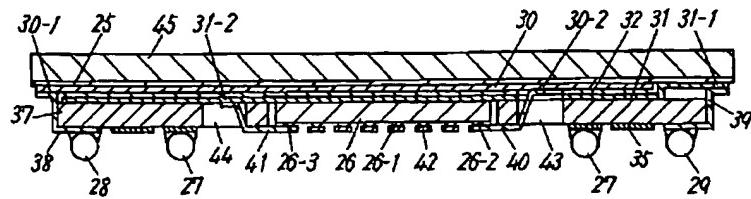
〔図3〕



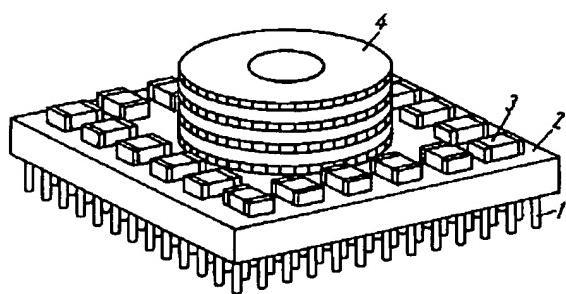
【四】



【図5】



【図6】



【図7】

